

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-178600

(43)Date of publication of application : 27.06.2003

(51)Int.Cl.

G11C 29/00

G01R 31/28

G11C 16/02

G11C 16/04

G11C 17/00

(21)Application number : 2001-377407

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.12.2001

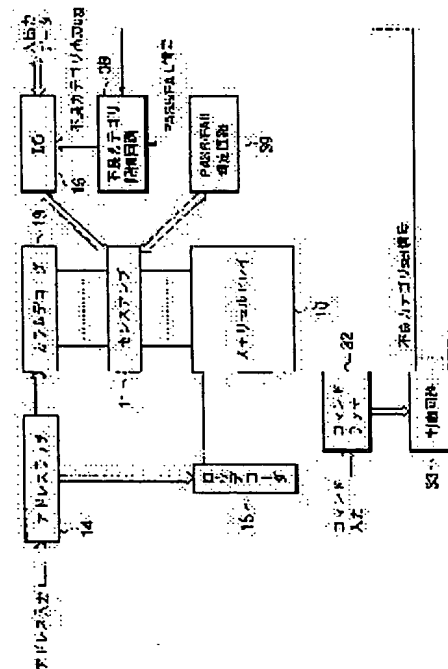
(72)Inventor : KAWAI KOICHI
IMAMIYA KENICHI
HIMENO TOSHIHIKO
IKEHASHI TAMIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract

PROBLEM TO BE SOLVED: To reduce a processing cost by holding a result (PASS/FAIL) for each check item inside and shortening a processing time when defect check is performed and classification processing of defective category is performed in a test of an integrated circuit.

SOLUTION: This circuit is provided with a PASS/FAIL discrimination circuit 39 discriminating a result of operation immediately before operation of an integrated circuit internal circuit and outputting a PASS/FAIL signal, and a defective category storing circuit 38 to which the PASS/FAIL signal is inputted and which holds separately results of PASS/FAIL of a plurality of operation in the integrated circuit internal circuit.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-178600
(P2003-178600A)

(43) 公開日 平成15年6月27日 (2003.6.27)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 C 29/00	6 7 3	G 1 1 C 29/00	6 7 3 Z 2 G 1 3 2
G 0 1 R 31/28		17/00	D 5 B 0 0 3
G 1 1 C 16/02		G 0 1 R 31/28	B 5 B 0 2 5
16/04			V 5 L 1 0 6
17/00		G 1 1 C 17/00	6 2 2 E
審査請求 未請求 請求項の数11 O L (全 10 頁) 最終頁に続く			

(21) 出願番号 特願2001-377407(P2001-377407)

(22) 出願日 平成13年12月11日 (2001.12.11)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 河合 勉一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

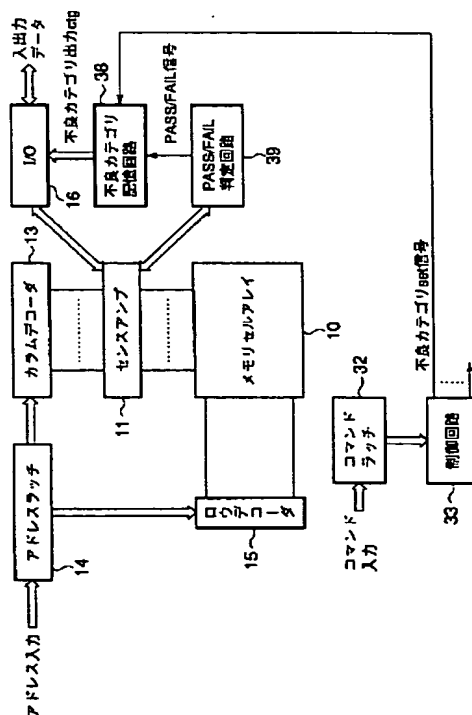
最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 集積回路のテストに際して、不良チェックを行って不良カテゴリの分類処理を行う場合、チェック項目毎に結果 (PASS/FAIL) を内部に保持させ、処理時間を短縮し、処理コストを低減する。

【解決手段】 集積回路内部回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路39と、PASS/FAIL信号を入力とし、集積回路内部回路における複数の動作のPASS/FAIL結果を別々に保持する不良カテゴリ記憶回路38とを具備する。



【特許請求の範囲】

【請求項 1】 集積回路内部回路と、

前記集積回路内部回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、前記PASS/FAIL信号を入力とし、前記集積回路内部回路における複数の動作のPASS/FAIL結果を別々に保持するデータ保持回路とを具備することを特徴とする半導体集積回路。

【請求項 2】 集積回路内部回路と、

前記集積回路内部回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、前記PASS/FAIL信号を入力とし、前記集積回路内部回路における複数の動作の結果を累積して記憶し、累積した結果をリセット信号により初期状態に戻すことが可能なラッチ回路と、

前記ラッチ回路から出力される累積PASS/FAIL信号を入力とし、複数の累積PASS/FAIL結果を別々に保持するデータ保持回路とを具備することを特徴とする半導体集積回路。

【請求項 3】 集積回路内部回路と、

前記集積回路内部回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、前記PASS/FAIL信号を入力とし、前記集積回路内部回路における複数の動作のPASS/FAIL結果を別々に保持するデータ保持回路と、
前記データ保持回路のデータを書き込むことが可能な不揮発性記憶回路とを具備することを特徴とする半導体集積回路。

【請求項 4】 集積回路内部回路と、

前記集積回路内部回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、前記PASS/FAIL信号を入力とし、前記集積回路内部回路における複数の動作のPASS/FAIL結果を累積して記憶し、累積した結果をリセット信号により初期状態に戻すことが可能なラッチ回路と、
前記ラッチ回路から出力される累積PASS/FAIL信号を入力とし、複数の累積PASS/FAIL結果を別々に保持するデータ保持回路と、
前記データ保持回路のデータを書き込むことが可能な不揮発性記憶回路とを具備することを特徴とする半導体集積回路。

【請求項 5】 前記不揮発性記憶回路は、不揮発性メモリセルで構成されるメモリセルアレイの一部が用いられることを特徴とする請求項 3 または 4 記載の半導体集積回路。

【請求項 6】 不揮発性メモリセルで構成されるメモリセルアレイと、外部から入力されるアドレスに応じて前記メモリセルアレイ内のデータを読み出す読み出し回路と、

前記メモリセルアレイあるいは読み出し回路における直

前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、

テストに際して前記メモリセルアレイあるいは読み出し回路における複数の動作のPASS/FAIL結果を別々に保持するデータ保持回路とを具備することを特徴とする半導体集積回路。

【請求項 7】 不揮発性メモリセルで構成されるメモリセルアレイと、

外部から入力されるアドレスに応じて前記メモリセルアレイ内のデータを読み出す読み出し回路と、

前記メモリセルアレイあるいは読み出し回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、

テストに際して前記メモリセルアレイあるいは読み出し回路における複数の動作の結果を累積して記憶し、累積した結果をリセット信号により初期状態に戻すことが可能なラッチ回路と、

前記ラッチ回路から出力される累積PASS/FAIL信号を入力とし、複数の累積PASS/FAIL結果を別々に保持するデータ保持回路とを具備することを特徴とする半導体集積回路。

【請求項 8】 前記メモリセルアレイは、NAND型セルが行列状に配置されていることを特徴とする請求項 6 または 7 記載の半導体集積回路。

【請求項 9】 前記リセット信号は、外部からの入力により起動されることを特徴とする請求項 2、4、7 のいずれか 1 つに記載の半導体集積回路。

【請求項 10】 前記データ保持回路は、シフトレジスタで構成されることを特徴とする請求項 1 乃至 9 のいずれか 1 つに記載の半導体集積回路。

【請求項 11】 前記PASS/FAIL信号を、外部からの入力により前記データ保持回路に保持することが可能であることを特徴とする請求項 1 乃至 10 のいずれか 1 つに記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に係り、特にテストの結果のカテゴリ分析を容易化するために使用されるテスト容易化回路に関するもので、例えば不良ブロック等に関するテスト結果の不良カテゴリの分類処理を要求される不揮発性メモリに使用されるものである。

【0002】

【従来の技術】半導体記憶装置の一つとして、電気的書換えを可能としたEEPROMが知られている。なかでも、メモリセルを複数個直列接続してNANDセルを構成するNANDセル型EEPROMは、高集積化ができるものとして注目されている。また、同一のワード線や選択ゲート線を共有するNANDセル群を1個のセルブロックとして扱い、通常、読出し・書き込み等の動作は、複数のブロックのうち1

個を選択し、この選択ブロックに対して行われる。また、NANDセル型EEPROMは、所定のブロックを単位として一括消去することが可能なフラッシュメモリ（NAND Flash）として構成される場合が多い。

【0003】NAND型フラッシュメモリの製造段階でのウェハテストに際して、メモリテストを使用したテストには、ビット線不良の有無を検知するビット線不良チェックとか不良ブロックの有無など、数多くの項目（テスト項目の全体はツリー構造になっている）があり、今後の対策のために、どの項目に不良が多く出てくるのかを調べる（不良カテゴリの分類処理を行う）必要がある。

【0004】現状の汎用のメモリテストは、コマンドなどは複数のチップに並列に入力し、チップ内部の処理は並列に行うことによりテスト時間の短縮化を図っているが、外部への読み出し動作を伴うテスト項目は並列処理を行うことができない。

【0005】したがって、不良カテゴリの分類処理を行おうとした場合、テスト毎に結果（PASS/FAIL）を読み出してチェックする処理を複数のチップで並列に行うことができず、1チップ毎にテスト結果（PASS/FAIL）を読み出す必要があり、テスト時間の増加をまねいてしまう。この際、テスト結果（PASS/FAIL）の読み出しは、各テスト毎に行わなければならないので、全体のテスト時間に大きく影響を及ぼすことになり、テストコストの増大をまねいてしまう。

【0006】なお、複数のチップに対して読み出し動作を並列に処理することが可能な特殊なメモリテストも存在するが、現状では非常に高価であるので、テストコストの増加をまねいてしまう。

【0007】

【発明が解決しようとする課題】上記したように従来のNAND型フラッシュメモリは、不良ブロックの有無などのチェックを行ったテスト結果（PASS/FAIL）に対して不良カテゴリの分類処理を行おうとした場合に、汎用のメモリテストでは複数のチップに対して並列に行うことができず、1チップ毎にデータを読み出す必要があり、テスト時間、テストコストの増加をまねいてしまうという問題があった。

【0008】本発明は上記の事情に鑑みてなされたもので、内部回路のチェックを行った結果（PASS/FAIL）に対して不良カテゴリの分類処理を行おうとした場合に、チェック項目毎に結果（PASS/FAIL）を内部に保持させることができ、チップ内部で不良カテゴリの分類が可能であり、ウェハテストに適用した場合には、テストコストを抑え、テスト時間の短縮化を図り得る半導体集積回路を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の第1の半導体集積回路は、集積回路内部回路と、前記集積回路内部回路における直前の動作の結果を判定し、PASS/FAIL信号を

出力するPASS/FAIL判定回路と、前記PASS/FAIL信号を入力とし、前記集積回路内部回路における複数の動作のPASS/FAIL結果を別々に保持するデータ保持回路とを具備することを特徴とする。

【0010】本発明の第2の半導体集積回路は、集積回路内部回路と、前記集積回路内部回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、前記PASS/FAIL信号を入力とし、前記集積回路内部回路における複数の動作の結果を累積して記憶し、累積した結果をリセット信号により初期状態に戻すことが可能なラッチ回路と、前記ラッチ回路から出力される累積PASS/FAIL信号を入力とし、累積PASS/FAIL結果を別々に保持するデータ保持回路とを具備することを特徴とする。

【0011】本発明の第3の半導体集積回路は、集積回路内部回路と、前記集積回路内部回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、前記PASS/FAIL信号を入力とし、前記集積回路内部回路における複数の動作のPASS/FAIL結果を別々に保持するデータ保持回路と、前記データ保持回路のデータを書き込むことが可能な記憶回路とを具備することを特徴とする。

【0012】本発明の第4の半導体集積回路は、集積回路内部回路と、前記集積回路内部回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、前記PASS/FAIL信号を入力とし、前記集積回路内部回路における複数の動作のPASS/FAIL結果を累積して記憶し、累積した結果をリセット信号により初期状態に戻すことが可能なラッチ回路と、前記ラッチ回路から出力される累積PASS/FAIL信号を入力とし、累積PASS/FAIL結果を別々に保持するデータ保持回路と、前記データ保持回路のデータを書き込むことが可能な記憶回路とを具備することを特徴とする。

【0013】本発明の第5の半導体集積回路は、不揮発性メモリセルで構成されるメモリセルアレイと、外部から入力されるアドレスに応じて前記メモリセルアレイ内のデータを読み出す読み出し回路と、前記メモリセルアレイあるいは読み出し回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、テストに際して前記メモリセルアレイあるいは読み出し回路における複数の動作のPASS/FAIL結果を別々に保持するデータ保持回路とを具備することを特徴とする。

【0014】本発明の第6の半導体集積回路は、不揮発性メモリセルで構成されるメモリセルアレイと、外部から入力されるアドレスに応じて前記メモリセルアレイ内のデータを読み出す読み出し回路と、前記メモリセルアレイあるいは読み出し回路における直前の動作の結果を判定し、PASS/FAIL信号を出力するPASS/FAIL判定回路と、テストに際して前記メモリセルアレイあるいは読み

出し回路における複数の動作の結果を累積して記憶し、累積した結果をリセット信号により初期状態に戻すことが可能なラッチ回路と、前記ラッチ回路から出力される累積PASS/FAIL信号を入力とし、複数の累積PASS/FAIL結果を別々に保持するデータ保持回路とを具備することを特徴とする。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0016】＜第1の実施形態＞図1は、本発明の第1の実施形態に係るNAND型フラッシュメモリの全体の概略的な構成を示すブロック図である。

【0017】メモリセルアレイ10に対して、データ読出し・データ書き込み・再書き込み・書き込みベリファイ読出しおよび消去ベリファイ読出しを行うためにビット線制御回路11が設けられている。

【0018】ビット線制御回路11は、主にCMOSフリップフロップから成り、ビット線の電位をセンス増幅するためのセンスアンプと、書き込みためのデータをラッチするためのデータラッチ回路の役割を持つラッチ回路を含む。そして、書き込み後のベリファイ読出しのためのセンス動作、再書き込みデータのラッチ、データ入出力制御回路12との間で書き込みデータ・読出しデータなどのデータの転送を行う。

【0019】データ入出力制御回路12は、外部からの入力もしくは内部からの出力（書き込みデータ・読出しデータなど）の入出力を制御するものであり、データ入出力バッファ（I/Oバッファ）16および前記ビット線制御回路11に接続されている。

【0020】上記データ入出力制御回路12は、アドレス入力を受けるアドレスバッファ（アドレスラッチ）14からアドレス信号を受けるカラムデコーダ13の出力により接続が制御される。

【0021】また、メモリセルアレイ10に対して制御ゲートおよび選択ゲートを制御するためにロウデコーダ15が設けられ、メモリセルアレイ10が形成されるp型ウェル（または、p型基板）の電位を制御するためのウェル電位制御回路17が設けられている。また、セルアレイ内ソース線電圧Cell-Sourceを制御するためにソース線制御回路18が設けられている。

【0022】また、選択ブロック内のワード線（制御ゲート線）の電位を制御するためのワード線制御回路19と、ロウデコーダ電源の電位を制御するためのロウデコーダ電源制御回路30が設けられている。

【0023】また、書き込み用高電圧・中間電圧や消去用高電圧、読出し用高電圧などを発生し、消去動作中の前記p型ウェル（または、p型基板）や、書き込み動作中のワード線・ビット線・ロウデコーダ電源などに供給する高電圧・中間電圧発生回路31が設けられている。

【0024】さらに、外部からのコマンド入力をラッチ

するコマンドラッチ32と、このコマンドラッチ32でラッチされたコマンドにしたがってメモリの読み出し、書き込み、消去などの動作を制御するための制御信号を出力する制御回路（コマンドデコーダ）33が設けられている。

【0025】図2は、図1中のメモリセルアレイ10の一つのNANDセルの等価回路図を示している。

【0026】NANDセル20は、複数のメモリセル（本例では、8個のメモリセルM1～M8）が隣接するもの同士でソース・ドレインを共用する形で直列接続され、さらに、ドレイン側、ソース側にはそれぞれ選択ゲートトランジスタS1, S2が設けられている。各メモリセルM1～M8は、半導体基板上にゲート絶縁膜を介して浮遊ゲートが形成され、この上に層間絶縁膜を介して制御ゲートが積層されたMOSFET構造を有し、選択ゲートトランジスタS1, S2もMOSFET構造を有する。このように素子が形成された基板上にCVD酸化膜を介してビット線が配設されており、このビット線は前記選択ゲートトランジスタS1の一端にコンタクトしている。

【0027】図1中のメモリセルアレイ10には、上記したようなNANDセル20がマトリックス配列されている。この場合、NANDセルのドレイン側の選択ゲートトランジスタS1はビット線に共通接続され、ソース側の選択ゲートトランジスタS2は共通ソース線（ソース線電圧Cell-Source）に接続されている。

【0028】メモリセルM1～M8の制御ゲートは制御ゲート線（ワード線）CG1, CG2, ..., CG8としてメモリセルアレイの行方向に配設され、選択ゲートトランジスタS1, S2のゲート電極は選択ゲート線SG1, SG2としてメモリセルアレイの行方向に配設される。

【0029】図3は、図1中のメモリセルアレイの等価回路の一部を示している。

【0030】同一のワード線や選択ゲート線を共有するNANDセル群をセルブロックと呼び、例えば図4中の破線で囲まれた領域を1個のセルブロックとする。通常、読出し・書き込み等の動作は、複数のブロックのうち1個を選択し、この選択ブロックに対して行われる。

【0031】図4は、図1のNAND型フラッシュメモリにおける既存の回路の一部と新規に追加されたテスト容易化回路との接続関係を概略的に示すブロック図であり、図1中と同一部分には同一符号を付している。

【0032】図4において、PASS/FAIL（パス/フェイル、可否）判定回路39は、既存のものであり、直前に行われた動作に関してチェック結果がPASSであったのかFAILであったのか判定するためのものである。

【0033】不良カテゴリ記憶回路38は、新規に追加されたものであり、例えば外部からの入力により制御される所定のタイミング（本例では、各テストの最後）で前記PASS/FAIL判定回路39の判定結果（PASS/FAIL）を登録するためのデータ保持回路である。この場合、不良カ

テゴリ記憶回路38の出力ctg またはセンスアンプ11をI/O バッファ16に切り換え接続が可能のようにスイッチ回路(図示せず)が設けられている。

【0034】図5は、図4中の不良カテゴリ記憶回路38の一例を示している。

【0035】この不良カテゴリ記憶回路38は、D型F/F(フリップフロップ)回路41がカスケード接続されたシフトレジスタからなり、PASS/FAIL判定回路39の判定結果であるPASS/FAIL信号がデータとして入力され、不良カテゴリセット(set)信号がシフトクロックとして供給される。この不良カテゴリset信号は、コマンドデコーダ33が不良カテゴリセットコマンドを受けることにより生成される。

【0036】次に、本例のNAND型フラッシュメモリのテスト項目の1つである不良ブロック検知テストの方法について、図4および図5を参照しながら説明する。

【0037】この不良ブロックテストは、テスト対象ブロックに対して、全てのセルのデータを消去(この状態を“1”データとする)した後に全てのセルに“0”データの書き込みを行う。この時、全てのセルに対して“0”データが書き込めたかどうかを判定するために、センスアンプ11にデータを読み出した後でPASS/FAIL判定回路39により判定する。そして、テストの最後で、PASS/FAIL判定回路39の判定結果を不良カテゴリ記憶回路38に登録する。

【0038】不良ブロックテストにおける各テスト項目が終了する毎に、不良カテゴリ記憶用のシフトレジスタ38は、コマンドデコーダ33が不良カテゴリセットコマンドを受けることにより生成する不良カテゴリset信号が供給され、PASS/FAIL判定回路39の判定結果(直前の動作のチェック結果)であるPASS/FAIL信号を取り込んで登録するとともに、それ以前の登録データをシフトさせる。これにより、PASS/FAILの結果は、不良カテゴリ記憶用のシフトレジスタ38のF/F回路41の段数だけ保持される。

【0039】したがって、不良ブロックテストの終了後、不良カテゴリレジスタ38の各出力ctg[0]~ctg[n]を読み出してI/O バッファ16を介してチップ外部に出力する1回の動作を行うことにより、過去に行ったテストの結果をレジスタ38の段数だけ出力することができる。

【0040】即ち、本例のNAND型フラッシュメモリによれば、テストに際して不良ブロックの有無などのチェックを行う場合に、上記したような動作によりテスト結果(PASS/FAIL)を回路内部に項目ごとに保持させることができるので、不良カテゴリの分類が可能になる。しかも、テスト結果(PASS/FAIL)の外部への読み出し動作も1回で済むので、テスト時間を短縮することが可能になる。また、ウェハテストに際して不良カテゴリの分類処理を行う際、テスト毎に複数チップのPASS/FAIL信号を使用しなくてもよく、また、高価な特殊なメモリテ

タを使用して並列処理しなくてもテスト時間を短縮することができる。

【0041】<第2の実施形態>図6は、本発明の第2の実施形態に係るNAND型フラッシュメモリにおける既存の回路の一部と新規に追加されたテスト容易化回路との接続関係を概略的に示すブロック図である。

【0042】図6のNAND型フラッシュメモリは、前述した第1の実施形態のNAND型フラッシュメモリと比べて、累積ステータス(STATUS)ラッチ回路50をさらに具備する点異なり、その他は同じであるので、図4中と同一部分には同一符号を示している。

【0043】上記累積ステータスラッチ回路50は、ある一群をなす複数のテスト項目のうちの一部のテストでも結果がFAILとなった時に、一群のテスト項目中にFAILが存在する(不良の累積があった)ことを表わす累積PASS/FAIL信号として記憶するものである。

【0044】図7は、図6中の累積ステータスラッチ回路50の一例を示している。

【0045】この累積ステータスラッチ回路は、2個のNANDゲート61、62が交差接続されてなるラッチ回路のセット入力端にPASS/FAIL信号(PASSは“H”レベル、FAILは“L”レベル)が入力し、累積ステータスリセット(STATUS reset)信号がインバータ60により反転されて上記ラッチ回路のリセット端に入力する。

【0046】このような構成により、ある一群をなす複数のテスト項目のうちの一部のテストでも結果がFAILとなった時に前記PASS/FAIL判定回路から出力するFAIL信号をラッチし、例えば外部からの入力により制御される累積ステータスリセット(STATUS reset)信号によってリセットされるまでデータを保持することが可能になっている。

【0047】即ち、第2の実施形態のNAND型フラッシュメモリでは、各テストを行った結果(PASS/FAIL信号)を、直接にPASS/FAIL判定回路39に入力して判定するのではなく、各テストを行った結果のうち不良の累積があったか否かを記憶するために、FAIL信号を累積STATUSラッチ回路50に入力し、不良の累積があったことを表わす累積PASS/FAIL信号として保存する。

【0048】このようなテストをチェックしたい項目に関して複数回行って得た複数の累積PASS/FAIL信号を不良カテゴリ記憶回路38に順にセットすれば、複数のテスト項目に関して不良のカテゴリを分類することが可能となる。

【0049】この際、累積PASS/FAIL信号を不良カテゴリ保持回路38にセットするタイミングは、前述した第1の実施形態と同様にコマンドに基づいて起動すれば、任意のタイミングで可能となる。次のテストでは、累積ステータスラッチ回路50をリセットしてから行う。

【0050】このような動作を繰り返すことにより、不良のカテゴリを自由に決めることができるようになり、

テストの自由度が高くなる。テスト終了後は、前述した第 1 の実施形態と同様に、1 回の読み出しだけで不良カテゴリの分類データを得ることができる。

【0051】なお、前述した第 1 の実施形態および第 2 の実施形態では、不良カテゴリ記憶 38 にラッチさせたデータを直接に外部に読み出していた。しかし、この場合、メモリの電源をオフすると、不良カテゴリ記憶回路 38 にラッチさせたデータは全て消失してしまうので、メモリの電源を再投入した際に不良カテゴリに関する情報を外部に取り出すことができない。この点を解決するための一例として、第 3 の実施形態および第 4 の実施形態を以下に説明する。

【0052】＜第 3 の実施形態＞図 8 は、本発明の第 3 の実施形態に係る NAND 型フラッシュメモリの全体の概略的な構成を示すブロック図である。

【0053】図 8 の NAND 型フラッシュメモリは、前述した第 1 の実施形態の NAND 型フラッシュメモリと比べて、メモリの電源をオフする際に、予め不良カテゴリ記憶回路 38 の保持データをセンスアンプ 11 に転送した後に不揮発性記憶回路（本例ではメモリセルアレイ 10 の一部）に書き込み、メモリの電源を再投入した際に前記メモリセルアレイ 10 の一部に書き込まれているデータを外部に読み出すことが可能となるように構成した点が異なり、その他は同じであるので、図 4 中と同一部分には同一符号を示している。

【0054】このような構成によれば、不良カテゴリ記憶回路 38 にデータをラッチさせた後にメモリの電源をオフし、再び電源を投入した際でも、不良カテゴリの分類データを外部に読み出すことが可能となる。

【0055】＜第 4 の実施形態＞図 9 は、本発明の第 4 の実施形態に係る NAND 型フラッシュメモリの全体の概略的な構成を示すブロック図である。

【0056】図 9 の NAND 型フラッシュメモリは、前述した第 2 の実施形態の NAND 型フラッシュメモリと比べて、メモリの電源をオフする際に、予め不良カテゴリ記憶回路 38 の保持データをセンスアンプ 11 に転送した後に不揮発性記憶回路（本例ではメモリセルアレイ 10 の一部）に書き込み、メモリの電源を再投入した際に前記メモリセルアレイ 10 の一部に書き込まれているデータを外部に読み出すことが可能となるように構成した点が異なり、その他は同じであるので、図 6 中と同一部分には同一符号を示している。

【0057】このような構成によれば、不良カテゴリ記憶回路 38 にデータをラッチさせた後にメモリの電源をオフし、再び電源を投入した際でも、不良カテゴリの分類データを外部に読み出すことが可能となる。

【0058】なお、本発明は、上記したような NAND セル

型メモリに限らず、NOR セル型メモリ、DINOR セル型メモリ、AND セル型メモリ等を搭載した半導体集積回路に適用することができる。

【0059】

【発明の効果】上述したように本発明の半導体集積回路によれば、内部回路のチェックを行った結果（PASS/FAIL）に対して不良カテゴリの分類処理を行おうとした場合に、チェック項目毎に結果（PASS/FAIL）を内部に保持させることができ、チップ内部で不良カテゴリの分類が可能である。

【0060】したがって、ウェハテストに際して上記のような不良カテゴリの分類処理を実施した場合には、テスト項目毎にテスト結果（PASS/FAIL）を内部に保持させることができ、テストコストを抑え、テスト時間の短縮化を図ることができる。

【0061】また、累積 PASS/FAIL 信号を使用したり、外部からの入力信号で不良カテゴリデータの保持回路への累積 PASS/FAIL 信号の保持を制御するようにすれば、カテゴリの分類に自由度を持たせることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る NAND 型フラッシュメモリの全体の概略的な構成を示すブロック図。

【図 2】図 1 中のメモリセルアレイの一つの NAND セル部分を示す等価回路図。

【図 3】図 1 中のメモリセルアレイの一部を示す等価回路図。

【図 4】図 1 の NAND 型フラッシュメモリにおける既存の回路の一部と新規に追加されたテスト容易化回路との接続関係を概略的に示すブロック図。

【図 5】図 4 中の不良カテゴリ記憶回路の一例を示す回路図。

【図 6】本発明の第 2 の実施形態に係る NAND 型フラッシュメモリにおける既存の回路の一部と新規に追加されたテスト容易化回路との接続関係を概略的に示すブロック図。

【図 7】図 6 中の累積ステータスラッチ回路の一例を示す回路図。

【図 8】本発明の第 3 の実施形態に係る NAND 型フラッシュメモリの全体の概略的な構成を示すブロック図。

【図 9】本発明の第 4 の実施形態に係る NAND 型フラッシュメモリの全体の概略的な構成を示すブロック図。

【符号の説明】

10…メモリセルアレイ、

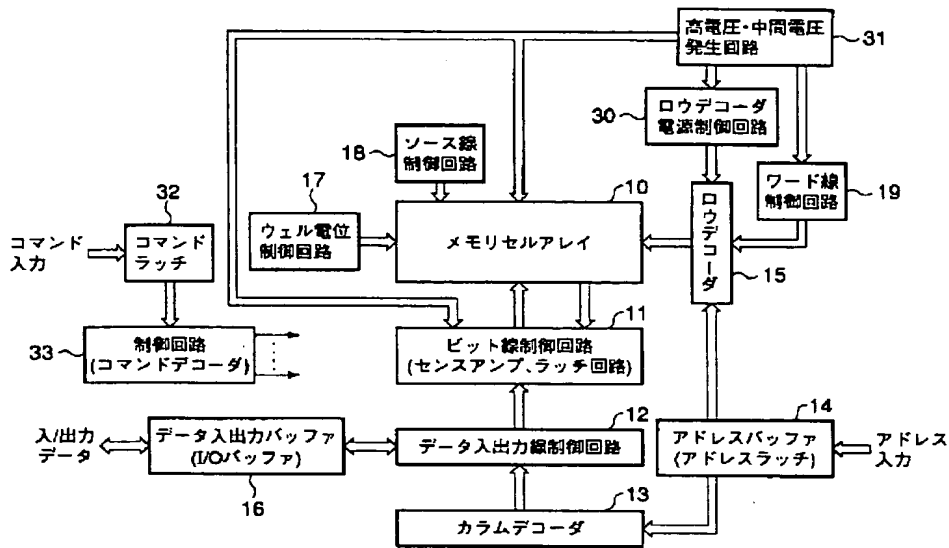
11…センスアンプ、

16…I/O バッファ、

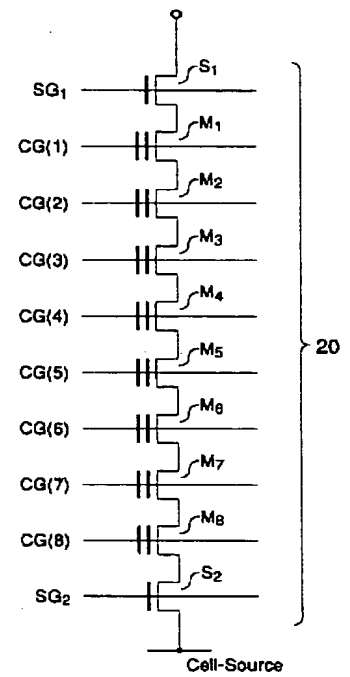
39…PASS/FAIL 判定回路、

38…不良カテゴリ記憶回路（データ保持回路）。

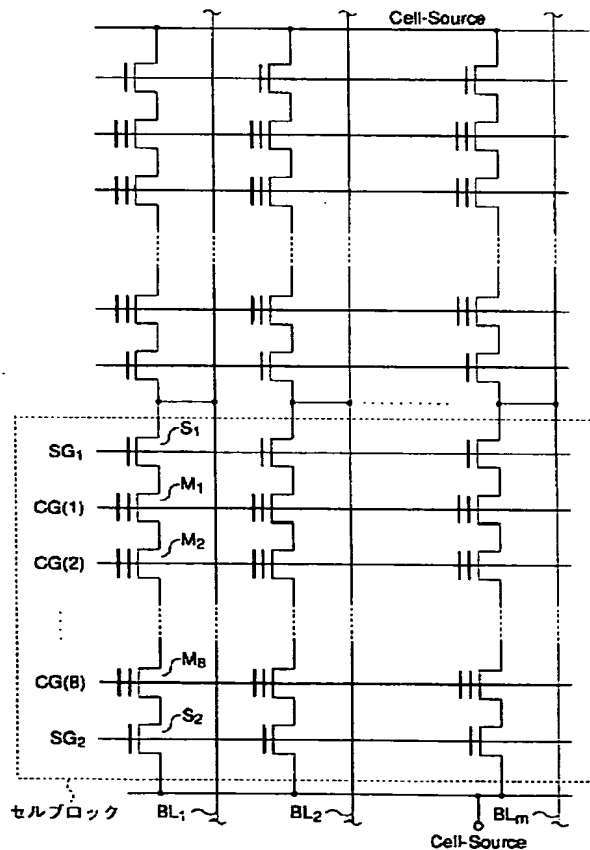
【図1】



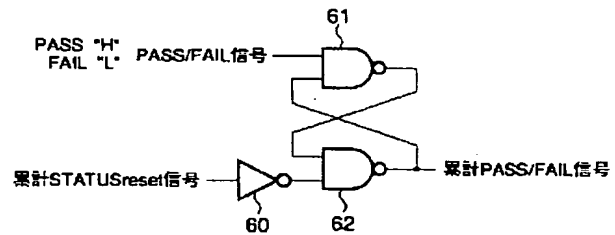
【図2】



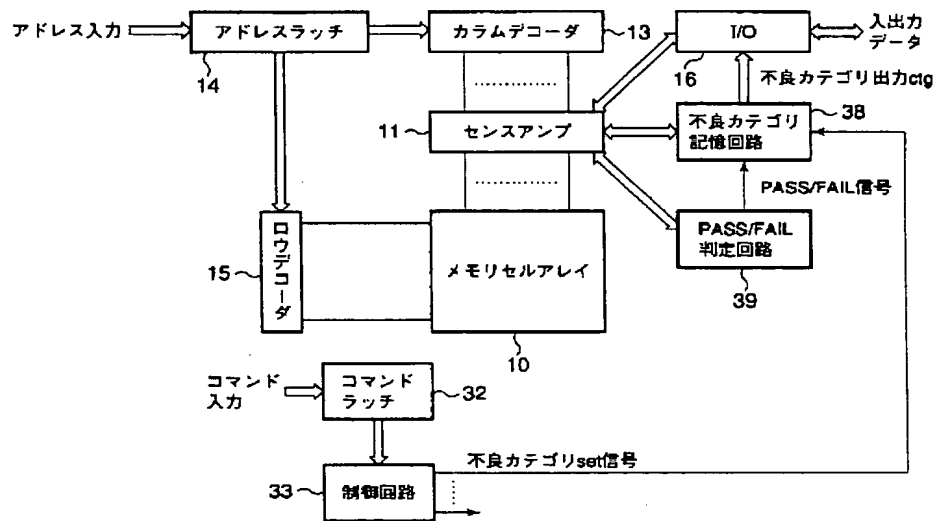
【図3】



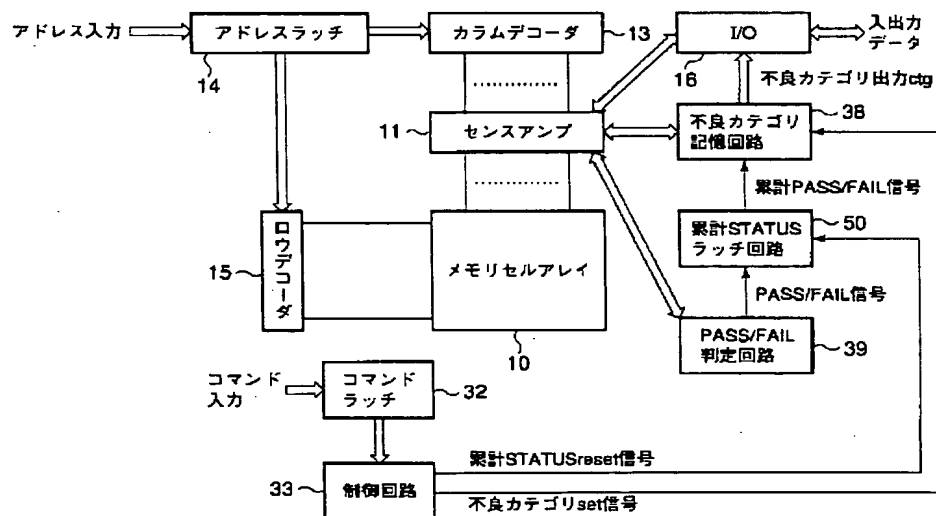
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テマコード (参考)

G 1 1 C 17/00

6 0 1 Z

(72) 発明者 今宮 賢一

神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内

(72) 発明者 姫野 敏彦

神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内

(72) 発明者 池橋 民雄

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

F ターム(参考) 2G132 AA01 AA08 AA09 AB01 AC03
AD01 AD05 AE08 AE14 AE18
AE22 AE27 AG02 AH01 AH04
AK07 AK09 AK13 AL09
5B003 AA05 AB05 AD02 AE04
5B025 AA03 AB01 AC01 AD16 AE09
5L106 AA10 DD00